

(19)日本国特許庁(JP)

(12) 公開実用新案公報(U)

(11)実用新案出願公開番号

実開平5-17702

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.<sup>5</sup>

G 0 5 B 19/05

識別記号

庁内整理番号

F I

技術表示箇所

L 7361-3H

審査請求 未請求 請求項の数1(全 2 頁)

(21)出願番号 実願平3-10651

(22)出願日 平成3年(1991)3月1日

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72)考案者 長谷川 聖

東京都武蔵野市中町2丁目9番32号 横河

電機株式会社内

(74)代理人 弁理士 小沢 信助

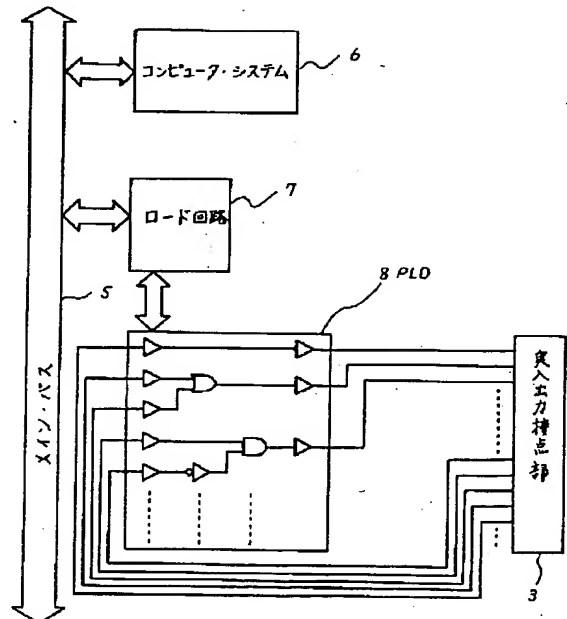
(54)【考案の名称】 プログラマブル・コントローラ

(57)【要約】

【目的】 シーケンス命令をできるだけ高速に実行できるようにすること。

【構成】 シーケンス・プログラムをコンパイルして更に電気回路情報とする上位のコンピュータ・システム6と、このコンピュータ・システム6より電気回路情報をダウン・ロードするロード回路7と、このロード回路7より電気回路情報が書き込まれこれに対応した電気回路を内部に構築して実入力接点情報を電気回路の入力側とし電気回路の出力結果を実出力接点情報とする電気消去型プログラマブル・ロジック・デバイス8とを設けたことを特徴とするプログラマブル・コントローラ。

【効果】 シーケンス命令処理が高速となり、リフレッシュは不要となる。



1

## 【実用新案登録請求の範囲】

【請求項1】 実入力接点情報に応じてシーケンス・プログラムを実行し、その実行結果を実出力接点情報として出力するプログラマブル・コントローラにおいて、前記シーケンス・プログラムをコンパイルして更に電気回路情報とする上位のコンピュータ・システムと、このコンピュータ・システムより前記電気回路情報をダウンロードするロード回路と、このロード回路より前記電気回路情報が書き込まれこれに対応した電気回路を内部に構築して前記実入力接点情報を前記電気回路の入力側とし前記電気回路の出力結果を前記実出力接点情報とする電気消去型プログラマブル・ロジック・デバイスとを設けたことを特徴とするプログラマブル・コントローラ。

【図面の簡単な説明】

\*

\* 【図1】 本考案を実施したプログラマブル・コントローラの主要部である。

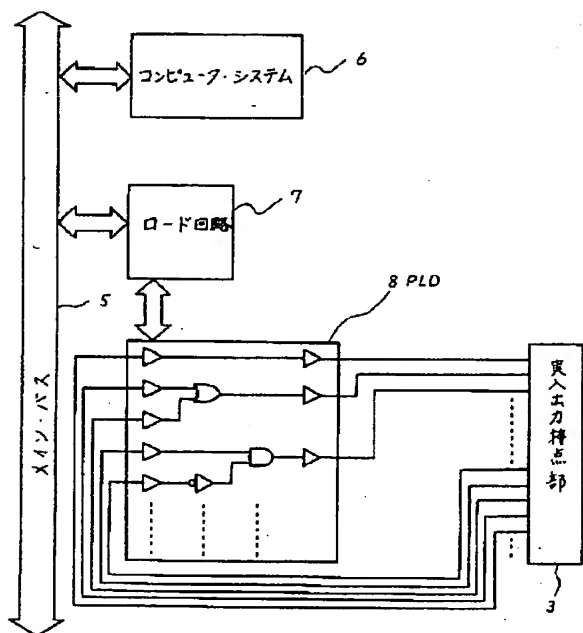
【図2】 ラダー・プログラムの一例である。

【図3】 従来のプログラマブル・コントローラの一例である。

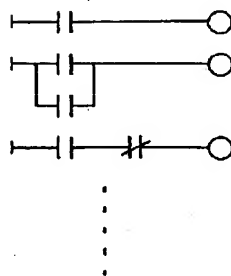
## 【符号の説明】

- 1 命令メモリ
- 2 プロセッサ
- 3 実入出力接点部
- 4 データ・メモリ
- 5 メイン・バス
- 6 コンピュータ・システム
- 7 ロード回路
- 8 電気消去型プログラマブル・ロジック・デバイス

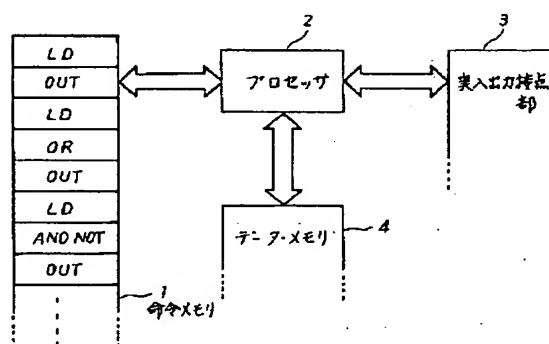
【図1】



【図2】



【図3】



## 【考案の詳細な説明】

## 【0001】

## 【産業上の利用分野】

本発明は、ファクトリー・オートメーション等の分野に用いられ、シーケンス・プログラムを実行するプログラマブル・コントローラに関し、詳しくは、シーケンス命令を高速に実行できるように改善するものである。

## 【0002】

## 【従来の技術】

プログラマブル・コントローラにあつては、シーケンス・プログラムの例として、図2に示すようなラダー回路がラダーCAD等によりCRT画面上で編集され、使用される。このようなラダー回路で示されるシーケンス・プログラムは、このままでは実行できず、一旦コンパイルし、マイクロプロセッサ等で処理できるような形態に変換している。即ち、図3に示すようなハードウェアにてシーケンス・プログラムを実行する。

図3では、図2のラダー回路をコンパイルした形態のシーケンス・プログラム命令が命令メモリ1に格納され、プロセッサ2がこの命令メモリ2を順次読み出して処理を行う。実入出力接点部3は実際の接点入出力情報を格納し、データ・メモリ4は実入出力接点部3と同様の接点情報を仮想的に持っている。

動作開始となると、プロセッサ2は命令メモリ1から命令を上から順次フェッチし、データ・メモリ4の内容を加工する。そして、シーケンス命令を終了まで実行すると、リフレッシュを行う。即ち、データ・メモリ4内の接点出力情報を実入出力接点部3内の接点出力部に反映させ、実入出力接点部3内の接点入力情報をデータ・メモリ4に反映させる。

このような動作を繰り返し、実入出力接点部3を制御することにより、シーケンス制御動作を実行している。

## 【0003】

## 【考案が解決しようとする課題】

上記した従来のプログラマブル・コントローラでは、プロセッサ2は、シーケンス命令の処理を行うにあたって、シーケンス命令のフェッチ（命令メモリ1に

対するリード・アクセス)、プロセッサ2のシーケンス命令の実行(データ・メモリ4のリード/ライト・アクセス及びプロセッサ2内処理)の手順が必要であり、このような一連の処理は、メモリ・アクセスが数回あり、一つのシーケンス命令の処理に長い時間がかかるという問題があった。

また、リフレッシュ中にあるはこの装置内のデータ・バスが占有され、たとえばプロセッサ2自身がリフレッシュ動作を行わなくても、この間、プロセッサ2はデータ・バスを使用できず、他の命令の処理を実行することはできなかった。従って、平均した1シーケンス命令の処理時間は遅くなるという欠点があった。

#### 【0004】

本考案は、このような問題を解決することを課題とし、シーケンス命令をできるだけ高速に実行できるようにすることを目的とする。

#### 【0005】

##### 【課題を解決するための手段】

以上の課題を解決した本考案は、実入力接点情報に応じてシーケンス・プログラムを実行し、その実行結果を実出力接点情報として出力するプログラマブル・コントローラにおいて、前記シーケンス・プログラムをコンパイルして更に電気回路情報とする上位のコンピュータ・システムと、このコンピュータ・システムより前記電気回路情報をダウン・ロードするロード回路と、このロード回路より前記電気回路情報が書き込まれこれに対応した電気回路を内部に構築して前記実入力接点情報を前記電気回路の入力側とし前記電気回路の出力結果を前記実出力接点情報とする電気消去型プログラマブル・ロジック・デバイスとを設けたことを特徴とするプログラマブル・コントローラである。

#### 【0006】

##### 【作用】

本考案のプログラマブル・コントローラは、上位のコンピュータ・システムはシーケンス・プログラムをコンパイルして更に電気回路情報に変換し、ロード回路にロードする。ロード回路はこの電気回路情報を電気消去型プログラマブル・ロジック・デバイス上に実際の回路として設定し、この回路上で実入出力接点部を制御する。

## 【0007】

## 【実施例】

本考案を実施したプログラマブル・コントローラの例の主要部を図1に表わし、説明する。

メイン・バス5の上位に設置するコンピュータ・システム6において、コンパイルされたシーケンス・プログラムに対応する電気回路が構築され、ロード回路7にこの電気回路情報がダウン・ロードされる。

ロード回路7は、電気消去型プログラマブル・ロジック・デバイス8（以下、PLD8と呼ぶ）に電氣的に読み書き可能であり、コンピュータ・システム6とメイン・バス5を介してプログラム・データ、アップ・ロード・データ等を授受し、コンピュータ・システム6からダウン・ロードされた電気回路情報を実際の回路としてPLD8上に設定する。PLD8の入出力部は、実入出力接点部3と1対1に対応する。

## 【0008】

このような本考案の実施例の具体的な動作は次の通りである。

コンピュータ・システム6は、図2に示したようなラダー回路を解釈して図1のPLD8内に示されるような実際のシーケンス回路に対応する電気回路に変換する。通信等の手段により、コンピュータ・システム6のこの回路情報はメイン・バス5を介してロード回路7にダウン・ロードされ、ロード回路7はこの回路情報を実際の回路と同様にPLD8に設定する。

シーケンス・プログラムの動作が開始されると、実入出力接点部3からの入力情報がPLD8に与えられ、PLD8上のシーケンス・プログラムに対応したシーケンス電気回路から演算結果が出力され、この出力結果は実入出力接点部3へ戻される。

このように本考案のプログラマブル・コントローラは、シーケンス・プログラムの動作が開始すると、実入出力接点部3とPLD8との間のみで信号が授受される。従って、プロセッサのメモリ・アクセスの回数が少なくなり、また、リフレッシュは不要となる。

## 【0009】

## 【考案の効果】

以上述べたように、本考案のプログラマブル・コントローラによれば、シーケンス命令の処理を高速に行うことができる。

例えば、従来方式ではデータ・メモリとしてRAMを用いているために、処理時間はRAMのアクセス時間より早くすることはできない。汎用のRAMのアクセス時間は百数十nsであり、PLDの入力から出力までは十数ns、また、PLDのゲート遅延時間が数nsであることより、本考案によれば、従来のものよりも10～100倍の高速処理が可能となる。

また、本考案によれば、従来のリフレッシュが不要となるとともに、従来のものではシーケンス・プログラムは順番に処理されていたが、本考案では各回路が並行に動作するので、各命令の処理時間が高速になる上、無駄な処理時間がなくなる。